

BIAS SPUTTERING DEVICE

Patent number: JP63004066
Publication date: 1988-01-09
Inventor: HORIUCHI MITSUAKI; TSUNEOKA MASATOSHI;
 OWADA NOBUO
Applicant: HITACHI LTD
Classification:
 - international: **H01L21/285; C23C14/54; H01L21/02; C23C14/54;**
 (IPC1-7): C23C14/54; H01L21/285
 - european:
Application number: JP19860146909 19860625
Priority number(s): JP19860146909 19860625

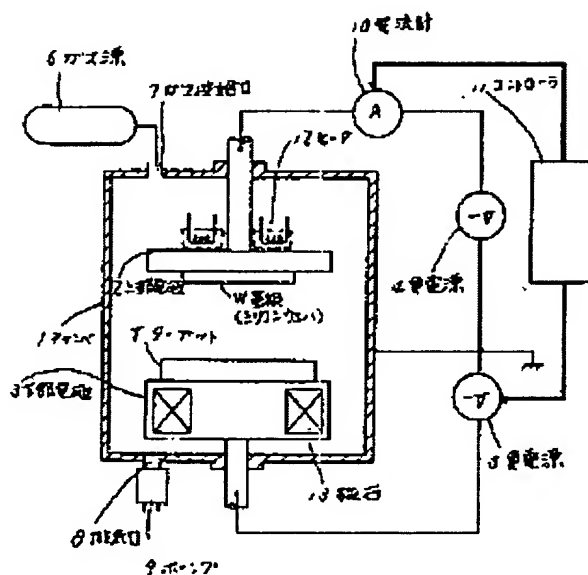
Report a data error here

Abstract of JP63004066

PURPOSE:To form a film having good adhesiveness on a substrate surface without deteriorating film quality by detecting substrate current and providing a controller to control the density of the plasma generated near the substrate based on the detected current.

CONSTITUTION:The inside of a chamber 1 is evacuated to a high vacuum by a discharge port 8 and gaseous Ar is introduced through a gas supply port 7 into the chamber until the prescribed degree of vacuum is attained.

While an upper electrode 2 is heated by a heater 12, electric power is impressed from a negative power source 5 to a lower electrode 3 and electric power is also impressed simultaneously to the upper electrode 2 from a negative power source 4 to set the electrode at a required bias. The plasma is thereby generated between the two electrodes 2 and 3 and sputters a target T, thus forming the film on the surface of a substrate W. The current at the upper electrode 2 is measured by an ammeter 10 and a controller 11 makes the feedback control of the electric power of the negative power source 5 based on the measured value so that the current value attains approximately the prescribed value or above. While the bias at the upper electrode 2 is thereby held constant, the plasma density is controlled and the quantity of the ions flowing to the substrate W is increased.



Data supplied from the esp@cenet database - Worldwide

BEST AVAILABLE COPY

THIS PAGE BLANK (USPTO)

⑨ 日本国特許庁(JP)

⑩ 特許出願公開

⑫ 公開特許公報(A)

昭63-4066

⑬ Int.Cl.⁴

識別記号

庁内整理番号

⑭ 公開 昭和63年(1988)1月9日

C 23 C 14/54
H 01 L 21/285

8520-4K
S-7638-5F

審査請求 未請求 発明の数 1 (全5頁)

⑮ 発明の名称 バイアススパッタ装置

⑯ 特 願 昭61-146909

⑰ 出 願 昭61(1986)6月25日

⑱ 発 明 者 堀 内 光 明 東京都青梅市今井2326番地 株式会社日立製作所デバイス
開発センタ内

⑲ 発 明 者 恒 岡 正 年 東京都青梅市今井2326番地 株式会社日立製作所デバイス
開発センタ内

⑳ 発 明 者 大 和 田 伸 郎 東京都青梅市今井2326番地 株式会社日立製作所デバイス
開発センタ内

㉑ 出 願 人 株式会社日立製作所 東京都千代田区神田駿河台4丁目6番地

㉒ 代 理 人 弁理士 小川 勝男 外1名

明 細 書

1. 発明の名称

バイアススパッタ装置

2. 特許請求の範囲

1. 成膜を行う基板にバイアス電圧を印加してスパッタを行う装置において、基板電流を検出する手段と、前記基板近傍に発生されるプラズマ密度を前記基板電流に基づいて制御するコントローラとを備えることを特徴とするバイアススパッタ装置。

2. コントローラは、前記基板電流に基づいて、基板に対向して設けた対向電極に印加する電力を制御可能に構成してなる特許請求の範囲第1項記載のバイアススパッタ装置。

3. 前記対向電極に補助電極を付設し、コントローラは前記基板電流に基づいてこの補助電極に印加する電力を制御可能に構成してなる特許請求の範囲第2項記載のバイアススパッタ装置。

4. 補助電極を対向電極の周囲でかつ基板に近接する位置に配置してなる特許請求の範囲第3項記

載のバイアススパッタ装置。

3. 発明の詳細な説明

(産業上の利用分野)

本発明はバイアススパッタ装置に関し、特に膜質が良好でしかもアスペクト比の大きなパターンに対する被着性が良好なバイアススパッタ装置に関するものである。

(従来の技術)

一般に半導体装置の製造工程では、半導体基板上に金属膜を被着し、これを所要のパターンに形成して電極、配線を形成している。近年、半導体装置の素子の微細化に伴って電極及び配線も微細化され、これによりアスペクト比の大きなパターンに対する金属膜被着の技術の必要性が高められている。従来、このようなアスペクト比の大きなパターンへ良好な金属膜被着を行う技術として、V-LSI・マルチレベル・インタグレーション・プロセス、例えば(V-Mic Conf.)1985.P17に記載のように、基板に負の電圧を印加しながらスパッタを行う所謂バイアススパッタ法が知られている。

即ち、このバイアススパッタ法は、金属膜被着

を行う基板を支持した電極をカソード電極に対向配置するとともに、この基板側電極に負のバイアス電圧を印加し、かつチャンバ内を所要のガス圧力に維持した状態でスパッタを行う方法である。このバイアススパッタ法によれば、印加されたバイアスによってイオンの衝突を起こし、この際のスパッタエッチによって傾斜部を優先的にエッチし、平坦部に再付着をさせることにより平坦性の高い膜被着を実現できる。

〔発明が解決しようとする問題点〕

この種のバイアススパッタにおいては、アスペクト比の大きなパターンへの金属膜の被着性を向上させるためには基板に供給される電力を増大させること、例えば一の手段として基板のバイアス電圧を高めることが有効であるが、このバイアス電圧の増大に伴ってチャンバ内におけるAr（アルゴン）が膜中に取り込まれ易くなる。このため、その後の熱処理工程によってこの取り込まれたArが凝集し、膜中においてボイドが発生したヒロックの原因となる等、被着形成した膜質の低下を

招くという問題がある。

本発明の目的は、膜質の低下を招くことなく、しかも形成する膜の被着性を良好なものにできるバイアススパッタ装置を提供することにある。

本発明の前記ならびにそのほかの目的と新規な特徴は、本明細書の記述および添付図面からあきらかになるであろう。

〔問題点を解決するための手段〕

本願において開示される発明のうち代表的なものの概要を簡単に説明すれば、下記のとおりである。

すなわち、バイアススパッタ時における基板電流を検出する手段と、基板の近傍に発生されるプラズマ密度をこの基板電流に基づいて制御するコントローラとを付設してバイアススパッタ装置を構成している。

〔作用〕

上記した装置によれば、バイアス電圧を増大させることなく基板近傍において発生するプラズマ密度を増大して基板に流れ込むガスのイオン量を

増大でき、これにより成膜中へのガスの取り込みを抑制して良質でかつ被着性の良い成膜を行うことができる。

〔実施例1〕

第1図は本発明の第1実施例のバイアススパッタ装置の断面図である。

内部を気密に保持可能なチャンバ1内には、上部電極2と下部電極3とを対向配置し、上部電極2には成膜を行うための基板としてのシリコンウエハWを支持し、下部電極3には成膜材料としてのアルミニウムのターゲットTを支持している。そして、前記上部電極2には負電源4を接続して所定のバイアス電圧をシリコンウエハWに印加し、また下部電極3はカソード電極として負電源5を接続している。なお、チャンバ1は接地している。

また、前記チャンバ1の上部にはアルゴンガス源6に連通したガス供給口7を開設するとともに、下部にはチャンバ1内を所定の圧力に減圧させる排気口8を開設しポンプ9を配設している。

更に、前記上部電極2の負電源4の回路内には

電流計10を介挿し、かつこの電流計10をコントローラ11に接続している。このコントローラ11は、前記電流計10からの電流値に基づいて前記下部電極3の負電源5を制御し得るように構成している。

なお、図において12はシリコンウエハWを加熱するためのヒータ、13は下部電極3に磁界を生じさせるための磁石である。

このバイアススパッタ装置を用いた成膜方法は、先ず排気口8及びポンプ9によりチャンバ1内を 10^{-7} トル（Torr）程度に高真空排気を行った後、ガス供給口7からチャンバ1内にアルゴンガスを導入し内部を1～100Torr程度の真空度に設定する。

次いで、ヒータ12で上部電極2を加熱しながら下部電極3に負電源5から電力を印加する。同時に上部電極2にも負電源4から電力を印加し、所要のバイアスに設定する。これにより、両電極2、3間にプラズマが発生し、このプラズマの作用によって下部電極3上のアルミニウムのターゲ

ットTからアルミニウム原子が飛散される。このアルミニウム原子は上部電極2上のシリコンウェハWに向かって飛散され、前記プラズマの作用によってシリコンウェハWの表面に被着される。

このとき、上部電極2における電流は電流計10で測定され、コントローラ11はこの電流値に基づいて前記負電源5の電力（電流、電圧又はこの両者）をフィードバック制御し、電流値が略所定の値以上となるように制御する。これにより、上部電極2におけるバイアスを一定に保持したままで前記プラズマ密度を制御し、この十分なプラズマの下でシリコンウェハWに流れ込むガスのイオン量を増大させて基板電流を所定値以上に維持できる。これにより、膜質が良好でかつ被着性の良い成膜を実現できる。

即ち、本発明者の検討によれば、バイアススパッタにおいてバイアス電圧一定の条件では基板電流を大きくすると、膜の被着性が向上され、アスペクト比の大きなパターンにおいても良好な成膜が実現でき、しかもバイアス電圧を増大したとき

を印加できるように構成している。そして、前記コントローラ11はこの補助負電源5Aに対して電力制御を実行し得るように回路を構成している。

このバイアススパッタ装置によれば、上部電極2における基板電流を電流計10で測定した値に基づいてコントローラ11は補助負電源5Aを制御し、両電極2、3間に発生するプラズマとは別のプラズマを上部電極2の近傍に発生させ、かつこのプラズマ密度を自由にコントロールすることができる。

したがって、バイアスを一定に保持したままでシリコンウェハWに流れ込むガスイオン量を増大させて基板電流を所定値以上に保ち、この状態でスパッタ成膜を実行することができ、膜質の向上と被着性の向上を達成できる。

なお、この実施例では基板電流に基づく下部電極3の電力制御は行っていないので、下部電極3の電力を一定に保持し、したがって両電極2、3間に発生するプラズマ密度を一定に保ち、これによりターゲットTにおけるスパッタ効率を安定に

のようなアルゴンガスの取り込みが生ずることはなく、したがってボイドやヒロック等が発生することもないことが判明している。

そして、この基板電流は上部電極2の近傍に発生するプラズマの密度、更に言えばシリコンウェハWに流れ込むガスのイオン量（ここではアルゴンイオン）に相関を有することから、下部電極3の印加電力を変化することにより、バイアスを一定に保持したままでこのプラズマの密度を制御し、基板電流を所要の値以上に設定することができる。これにより、前記したように膜質が良好でかつアスペクト比の大きなパターンに対しても被着性の良好な成膜を実現できる。

〔実施例2〕

第2図は本発明の他の実施例を示す断面図であり、第1図と同一部分には同一符号を付してある。

この実施例では、カソード電極としての下部電極3の周囲に、同様にカソード電極として機能する補助下部電極3Aを付設し、かつこの補助下部電極3Aに補助負電源5Aを接続して所要の電力

を保って成膜の高効率化を同時に実現できる。

なお、前記補助下部電極3AはシリコンウェハWに近接配置した構成としてもよい。

上述した実施例によれば次の効果を得ることができる。

(1) バイアススパッタにおいて、バイアス電圧を一定に保ったままで下部電極への印加電力を制御してプラズマ密度を増大させ、これにより基板に流れ込むガスイオン量を増大して基板電流を増大できるので、アスペクト比の大きなパターンに対する膜の被着性を向上するとともに、アルゴンガスの取り込みを防止して膜質の向上を達成できる。

(2) カソード電極としての下部電極に補助電極を付設し、この補助電極への印加電力を制御してプラズマ密度を増大させ、これにより基板電流を増大しているので、下部電極の印加電圧を一定に保持できスパッタ効率を安定なものにできる。

(3) 基板電流を直接測定し、この測定値に基づいて下部電極又は下部補助電極への印加電力を制

留しているの、基板電流を所定値に保持でき、安定した膜質、被着性の成膜を行うことができる。

(4) 上記(1)～(3)により、アスペクト比の大きなパターンにおいても均一に膜を形成でき、半導体装置の微細化及び高集積化を達成できる。

以上本発明者によってなされた発明を実施例にもとづき具体的に説明したが、本発明は上記実施例に限定されるものではなく、その要旨を逸脱しない範囲で種々変更可能であることはいうまでもない。例えば、アルミニウム以外の金属をスパッタ成膜する場合にも全く同様に適用できる。

以上の説明では主として本発明者によってなされた発明をその背景となった利用分野である半導体装置における薄膜を形成する場合に適用した場合について説明したが、それに限定されるものではなく、種々の基板に対して薄膜を形成する場合にも同様に適用できる。

(発明の効果)

本願において開示される発明のうち代表的なものによって得られる効果を簡単に説明すれば、下

記のとおりである。

すなわち、バイアススパッタ装置に基板電流を検出する手段と、基板近傍に発生するプラズマ密度をこの基板電流に基づいて制御するコントローラとを備えているので、基板のバイアス電圧を一定に保ったままで電極への印加電力を制御してプラズマ密度を増大させ、これにより基板電流を増大でき、アスペクト比の大きなパターンに対する膜の被着性を向上するとともに、アルゴンガスの取り込みを防止して膜質の向上を達成できる。

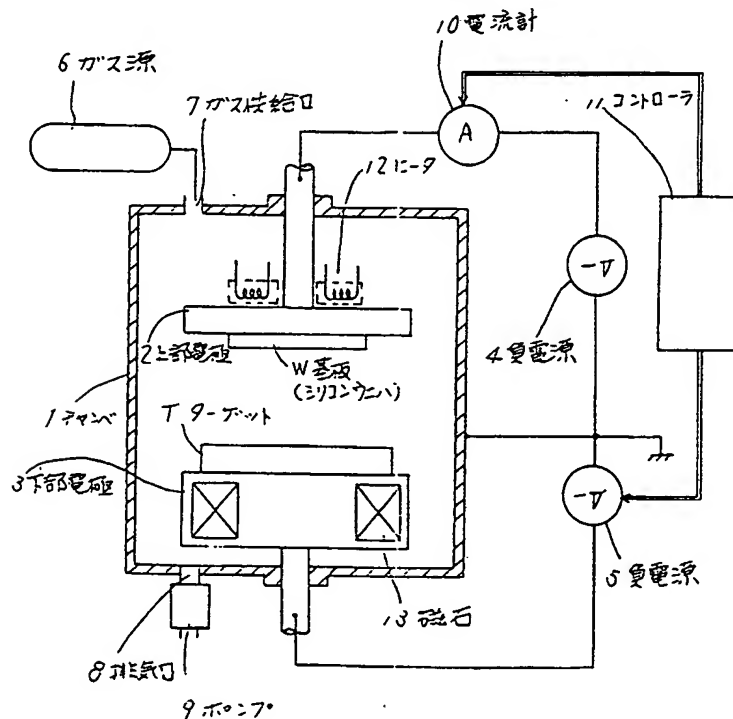
4. 図面の簡単な説明

第1図は本発明の第1実施例の断面図、

第2図は本発明の第2実施例の断面図である。

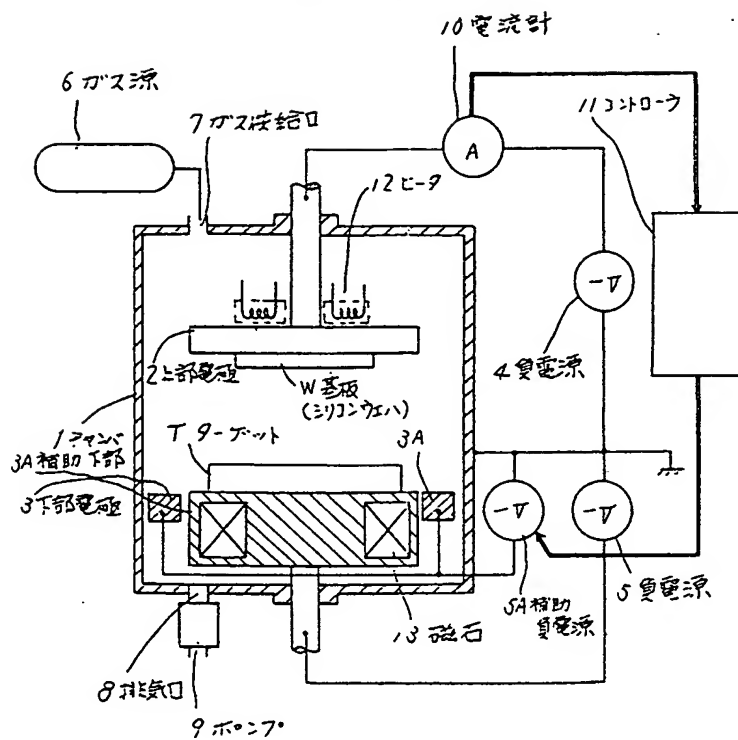
1…チャンバ、2…上部電極(基板側電極)、3…下部電極(カソード電極)、3A…補助下部電極、4…負電源、5…負電源、5A…補助負電源、6…アルゴンガス源、7…ガス供給口、8…排気口、9…ポンプ、10…電流計、11…コントローラ、12…ヒータ、13…磁石、W…シリコンウェハ(基板)、T…ターゲット。

第 1 図



BEST AVAILABLE COPY

第 2 図



BEST AVAILABLE COPY